

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-271659

(43)Date of publication of application : 06.11.1990

(51)Int.Cl.

H01L 27/088

H01L 21/316

H01L 27/08

H01L 29/784

(21)Application number : 01-093564

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.04.1989

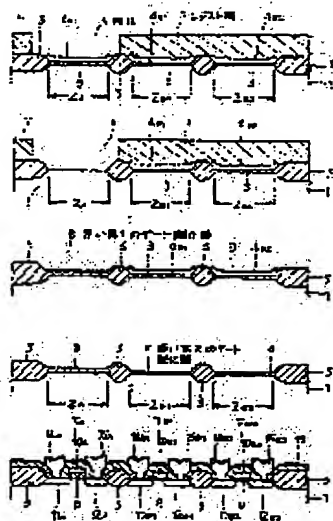
(72)Inventor : WATANABE AKIYOSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form different thickness gate oxide films without causing field oxide film thickness to be decreased by successively removing a non-oxidizing from that on a transistor formation region where a gate oxide film is formed thicker and subjecting the same to thermal oxidation every such removal, and forming a plurality of the transistor formation regions of reduced film thickness.

CONSTITUTION: A field oxide film 5 for defining a plurality of transistor formation regions is formed on a semiconductor substrate 1, and non-oxidizing films 4A, 4B1, 4B2 are successively removed from those on the transistor formation region 8 where a gate oxide film is formed thicker and subjected to thermal oxidation every such removal. Hereby, a plurality of the transistor formation regions each having gate oxide films 9 of reduced thickness are formed successively. Accordingly, there is eliminated an oxide film etching process of removing part of the gate oxide film upon forming the different thickness gate oxide films 8, 9 on a plurality of the device formation regions on a semiconductor substrate 1. Thus, the field oxide film 5 for inter-device separation is not made thinner by such an etching process, so that any inter-device leakage current is prevented from being generated to make the inter-device complete.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-271659

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月6日

H 01 L 27/088
21/316
27/08
29/784

3 3 1 A

7735-5F

7735-5F
6810-5F
8422-5FH 01 L 27/08
21/94
29/781 0 2 C
A
3 0 1 C

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-93564

⑰ 出 願 平1(1989)4月13日

⑱ 発 明 者 渡 辺 秋 好 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

ゲート酸化膜の膜厚の異なる複数の絶縁ゲート型トランジスタが半導体基板上に併設される半導体装置の製造方法において、

半導体基板上に複数の耐酸化膜パターンを設け、該耐酸化膜パターンをマスクにして選択酸化により該複数のトランジスタ形成領域を画定するフィールド酸化膜を形成する工程、

該耐酸化膜を、ゲート酸化膜がより厚く形成されるトランジスタ形成領域上部のものから順次除去してその都度熱酸化を行い、順次薄い膜厚のゲート酸化膜を有する複数のトランジスタ形成領域を形成する工程を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔 概 要 〕

半導体装置の製造方法、特に一半導体基板上に異なるゲート酸化膜厚の絶縁ゲート型トランジスタが併設される半導体装置の製造方法に関し、

一半導体基板上の複数の素子形成領域上に、異なる厚さのゲート酸化膜を、素子間を分離するフィールド酸化膜厚の減少を伴わずに形成することを目的とし、

半導体基板上に複数の耐酸化膜パターンを設け、該耐酸化膜パターンをマスクにして選択酸化により該複数のトランジスタ形成領域を画定するフィールド酸化膜を形成する工程、該耐酸化膜を、ゲート酸化膜がより厚く形成されるトランジスタ形成領域上部のものから順次除去してその都度熱酸化を行い、順次薄い膜厚のゲート酸化膜を有する複数のトランジスタ形成領域を形成する工程を含んで構成する。

〔産業上の利用分野〕

本発明は半導体装置の製造方法、特に一半導体基板上に異なるゲート酸化膜厚の絶縁ゲート型トランジスタが併設される半導体装置の製造方法に関する。

近時、半導体ICの機能が拡大するに伴って、論理回路やメモリ等に用いられ、高速化のためにゲート酸化膜を薄く形成した通常の耐圧を有する絶縁ゲート型トランジスタ(MOSTランジスタ)と、例えば周辺回路等に用いられ高耐圧化を図るためにゲート酸化膜を厚く形成したMOSTランジスタとが、一半導体基板上に併設されることが多くなってきたが、かかる半導体ICには製造方法に起因してフィールド反転による素子間リークの問題があり改善が望まれている。

〔従来の技術〕

上記例えば600~1000Å程度の厚いゲート酸化膜厚を有するMOSTランジスタ T_A と、200~300Å程度の通常のゲート酸化膜厚を有するMO

及び下敷き酸化膜53を除去し、それら総てのトランジスタ形成領域52_A、52_{B1}、52_{B2}等にSi基板51面を表出させる。

第3図(c)参照

次いで、熱酸化により上記総てのトランジスタ形成領域52_A、52_{B1}、52_{B2}等上に、高耐圧トランジスタ等において要求される例えば600~1000Å程度の厚いゲート酸化膜56を形成する。

第3図(d)参照

次いでこの基板上に、高耐圧MOSTランジスタ等が配設される厚いゲート酸化膜56が必要なトランジスタ形成領域52_A上を覆い、且つ通常耐圧のMOSTランジスタが形成される薄いゲート酸化膜が必要なトランジスタ形成領域52_{B1}、52_{B2}等が配設されている領域上を表出する開孔57を有するレジスト膜58を形成し、次いでこのレジスト膜58の開孔57を介し、ウェットエッチング或いはドライエッチングによって通常耐圧のMOSTランジスタが形成されるトランジスタ形成領域52_{B1}、52_{B2}等に形成されている厚いゲート酸化膜56を選

特開平2-271659(2)

Sトランジスタ T_{B1} 、 T_{B2} とが一半導体基板上に形成されるMOSICの従来の製造方法においてゲート酸化膜形成までの工程は、以下に第3図(a)~(c)に示す工程断面図を参照して説明する方法が用いられていた。

第3図(a)参照

即ち従来の方法においては、まず、シリコン(Si)基板51の上記厚いゲート酸化膜を有するトランジスタ T_A の形成領域52_A及び上記薄いゲート酸化膜を有するトランジスタ T_{B1} 、 T_{B2} の形成領域52_{B1}、52_{B2}等上に、選択的に、厚さ200~300Å程度の下敷き酸化膜53を介し耐酸化膜である厚さ1000~2000Å程度の窒化シリコン(Si_3N_4)膜パターン54_A、54_{B1}、54_{B2}を形成し通常通り選択酸化によって前記トランジスタ形成領域52_A、52_{B1}、52_{B2}等を露出する厚さ5000~8000Å程度のフィールド酸化膜55を形成する。

第3図(b)参照

次いで総てのトランジスタ形成領域52_A、52_{B1}、52_{B2}等上から Si_3N_4 膜パターン54_A、54_{B1}、54_{B2}

選択的に除去し、これら領域のSi基板51面を表出させる。

第3図(c)参照

次いで、レジスト膜58を除去した後、熱酸化を行って、上記トランジスタ形成領域52_{B1}、52_{B2}等に出ているSi基板51面に通常耐圧のMOSTランジスタに要求される例えば200~300Å程度の薄いゲート酸化膜59_{B1}、59_{B2}等を形成する方法であった。

〔発明が解決しようとする課題〕

しかし上記従来の方法によると、第3図(c)に示されるように、通常耐圧のMOSTランジスタが形成されるトランジスタ形成領域52_{B1}、52_{B2}等上の厚いゲート酸化膜56をエッチング除去する際にオーバーエッチングがかけられるために、フィールド酸化膜55におけるレジスト膜58の開孔57内に表出している領域が傾線で示すように厚いゲート酸化膜56の厚さに相当する分以上薄くなり(55は薄くなった領域、60は厚さの目減り部)、且つ第

特開平2-271659 (3)

3図(e)に示すように、次の工程で薄いゲート酸化膜59₁₁、59₂₂等を形成する際にも上記フィールド酸化膜55、55tにおける厚みの増量は極めて少ない。そのために、フィールド酸化膜55の薄くなった領域55t上に配線が形成された際には、第4図に示す寄生MOSの模式側断面図のように、

第1のMOSトランジスタT₁₁のドレイン領域D₁とSi基板51と第2のMOSトランジスタT₂₂のソース領域S₂と薄くなったフィールド酸化膜55tと上記配線Lとによって構成される寄生MOSトランジスタ(MOS_p)がオンし易くなり、そのためにT₁₁のドレイン領域D₁とT₂₂のソース領域S₂との間、即ち素子(T₁₁、T₂₂)間に電流リークCが生じてICの性能や信頼性が損なわれるという問題があった。

そこで本発明は、半導体基板上の複数の素子形成領域上に、異なる厚さのゲート酸化膜を、素子間を分離するフィールド酸化膜厚の減少を伴わずに形成する方法の提供を目的とする。

従って素子間を分離するフィールド酸化膜がエッチングによって薄められることがないので、このフィールド酸化膜をゲート酸化膜として素子間に形成される寄生MOSトランジスタの閾値が低下することがなくなり、素子間リーク電流の発生が防止されて素子間分離が完全になる。

〔実施例〕

以下本発明を、図を参照し、実施例により具体的に説明する。

第1図(a)~(e)は本発明の方法の一実施例の工程断面図、第2図は同一実施例の変形例を示す工程断面図である。

第1図(a)参照

本発明の方法により、例えば600~1000Å程度の厚いゲート酸化膜厚を有する例えば高耐圧のMOSトランジスタT₁と、200~300Å程度の通常のゲート酸化膜厚を有する論理用のMOSトランジスタT₁₁、T₂₂が半導体基板上に併設されるMOSICを形成するに際しては、先ず従来同

〔課題を解決するための手段〕

上記課題は、ゲート酸化膜の膜厚の異なる複数の絶縁ゲート型トランジスタが半導体基板上に併設される半導体装置の製造方法において、

半導体基板上に複数の耐酸化膜パターンを設け該耐酸化膜パターンをマスクにして選択酸化により該複数のトランジスタ形成領域を画定するフィールド酸化膜を形成する工程、

該耐酸化膜を、ゲート酸化膜がより厚く形成されるトランジスタ形成領域上部のものから順次除去してその都度熱酸化を行い、順次薄い膜厚のゲート酸化膜を有する複数のトランジスタ形成領域を形成する工程を有する本発明による半導体装置の製造方法によって解決される。

〔作用〕

即ち本発明の方法においては、半導体基板上の複数の素子形成領域に異なる厚さのゲート酸化膜を形成する際に、一部のゲート酸化膜を除去するための酸化膜のエッチング工程を含まない。

横の方法により、例えばp型Si基板1の上記高耐圧のMOSトランジスタT₁及び論理用のMOSトランジスタT₁₁、T₂₂の形成領域2₁、2₁₁、2₂₂上にストレス緩和用の厚さ200Å程度の下敷き酸化膜3下部に有する厚さ1000~2000Å程度のSi₃N₄膜パターン4₁、4₁₁、4₂₂を形成し、周知の選択酸化手段により表出する基板1面に、上記トランジスタ形成領域2₁、2₁₁、2₂₂等を画定する厚さ5000~8000Å程度の素子間分離用のフィールド酸化膜5を形成する。

第1図(b)参照

次いで上記基板上に、厚いゲート酸化膜を形成しようとする高耐圧のMOSトランジスタT₁形成領域2₁上のSi₃N₄膜パターン4₁の配設領域のみを選択的に表出する開孔6を有するレジスト膜7を形成する。

第1図(c)参照

そして、上記レジスト膜7をマスクにし、周知の磷酸ボイル法等により表出するSi₃N₄膜パターン4₁を選択的にエッチング除去し、次いで弗酸

系の液で軽くウォッシュアウトして Si_3N_4 膜パターン4₁、4₂の下部の下敷き用酸化膜3を除去し、該領域にSi基板1面を表出せしめる。なお、上記ウォッシュアウトによるフィールド酸化膜5の目減り量は300Å程度で殆ど無視できる量である。

第1図(e)参照

次いで、レジスト膜7を除去した後、論理用MOSトランジスタ T_{11} 、 T_{12} の形成領域2₁₁、2₁₂上に残留している Si_3N_4 膜パターン4₁₁、4₁₂をマスクにして通常の熱酸化法により高耐圧MOSトランジスタ T_A 形成領域2_A面に選択的に最終膜厚より100~200Å程度厚い例えば800~1000Å程度の厚い第1のゲート酸化膜8を形成する。

第1図(f)参照

次いで、周知の磷酸ボイル法により論理用MOSトランジスタ T_{11} 、 T_{12} の形成領域2₁₁、2₁₂上の Si_3N_4 膜パターン4₁₁、4₁₂を除去し、次いで弗酸系の液によるウォッシュアウト処理により Si_3N_4 膜パターン4₁₁、4₁₂下部の下敷き酸化膜

でn⁺型ソース領域11₁₁、11₁₂及びn⁺型ドレイン領域12₁₁、12₁₂を形成し、この基板上に珪酸ガラス(PSG)等の層間絶縁膜13を形成し、各ソース及びドレイン領域11₁₁、11₁₂、12₁₁、12₁₂を表出するコンタクト窓を形成し、各コンタクト窓上にトランジスタ相互間を接続し回路を構成するソース配線14₁₁、14₁₂及びドレイン配線15₁₁、15₁₂等を形成して本発明の方法によるMOSICが完成する。

第2図は、上記実施例において T_{11} 、 T_{12} の形成領域2₁₁、2₁₂、2₁₂上の下敷き酸化膜3をウォッシュアウトする際に、厚い第1のゲート酸化膜8及び高電圧配線が敷設される周辺部のフィールド酸化膜5の膜厚の目減りを回避するために、それらの領域上をレジスト膜15で覆って上記ウォッシュアウトを行う変形例を示したものである。なお、この場合は、厚い第1のゲート酸化膜8を上記ウォッシュアウトの際の目減り分を考慮して厚く形成しておく必要がない。

以上実施例に示したように、本発明の方法によ

特開平2-271659(4)

3を除去し、これらの領域にSi基板1面を表出せしめる。なお、上記ウォッシュアウトによりフィールド酸化膜5は200~300Å程度目減りするが殆ど影響はない。また T_A 形成領域2_Aの厚い第1のゲート酸化膜8は200~300Å程度目減りして最終厚さより100Å程度薄くなる。

第1図(f)参照

次いで、通常の熱酸化を施し、論理用MOSトランジスタ T_{11} 、 T_{12} の形成領域2₁₁、2₁₂に表出しているSi基板1面に厚さ200~300Å程度の薄い第2のゲート酸化膜9を形成する。なお、この際に厚い第1のゲート酸化膜8の膜厚は100Å程度増して所定の最終膜厚600~1000Å程度になる。

第1図(g)参照

以後通常の方法によりトランジスタ T_A 、 T_{11} 、 T_{12} の形成領域2_A、2₁₁、2₁₂上に例えばポリSiよりなるゲート電極10_A、10₁₁、10₁₂を形成し、各々の領域2_A、2₁₁、2₁₂にゲート電極10_A、10₁₁、10₁₂をそれぞれマスクにして不純物を導入し

れば、厚いゲート酸化膜のエッチング除去工程を含まずに、厚いゲート酸化膜8を有するトランジスタ形成領域2_Aと薄いゲート酸化膜9を有するトランジスタ形成領域2₁₁、2₁₂とを同一Si基板上に形成することができる。

従って、ゲート酸化膜形成に際してフィールド酸化膜の膜厚が大幅に減少することがなくなるので、配線下部領域に形成される寄生MOSトランジスタがオンすることがなくなり、素子間の電流リークの発生がなくなる。

(発明の効果)

以上説明のように本発明によれば、厚いゲート酸化膜厚を有する例えば高耐圧のMOSトランジスタと通常のゲート酸化膜厚を有する論理用のMOSトランジスタ等、ゲート酸化膜厚の異なるMOSトランジスタが半導体基板上に併設されるMOSICの製造工程において、フィールド酸化膜の膜厚が大幅に減少することが防止される。

従って、本発明によれば上記MOSICにおけ

る寄生MOS効果による素子間リークが減少し、その性能及び信頼性が向上する。

4. 図面の簡単な説明

第1図(a)～(d)は本発明の方法の一実施例の工程断面図、

第2図は同実施例の変形例の模式断面図、

第3図(a)～(e)は従来方法の工程断面図、

第4図は寄生MOSの模式側断面図である。

図において、

1はp型Si基板、

2Aは T_A 形成領域、

2B₁は T_{B1} 形成領域、

2B₂は T_{B2} 形成領域、

3は下敷き酸化膜、

4A、4B₁、4B₂は Si_3N_4 膜パターン、

5はフィールド酸化膜、

6は開孔、

7、16はレジスト膜、

8は厚い第1のゲート酸化膜、

9は薄い第2のゲート酸化膜、

10A、10B₁、10B₂はゲート電極、

11A、11B₁、11B₂はn⁺型ソース領域、

12A、12B₁、12B₂はn⁺型ドレイン領域、

13は層間絶縁膜、

14A、14B₁、14B₂はソース配線、

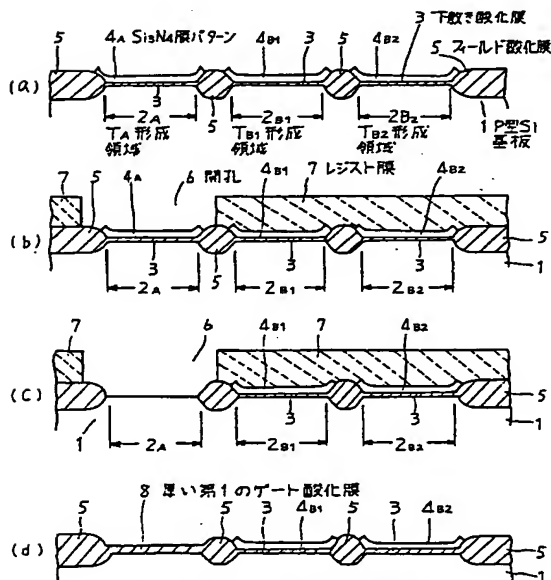
15A、15B₁、15B₂はドレイン配線、

T₁高耐圧MOSトランジスタ、

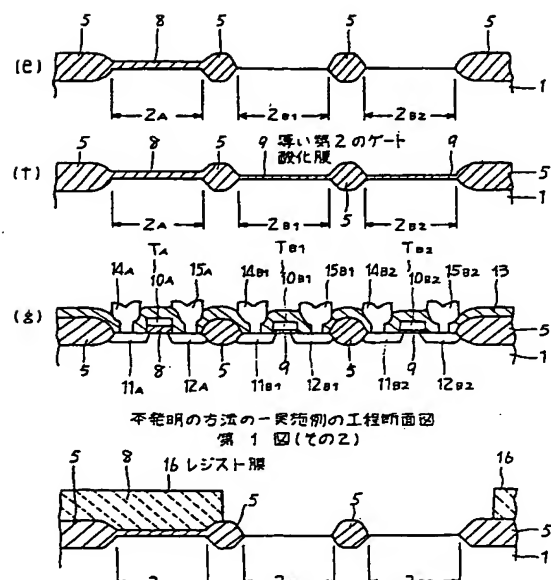
T_{B1}、T_{B2}は通常耐圧のMOSトランジスタ

を示す。

代理人 弁理士 井桁貞一



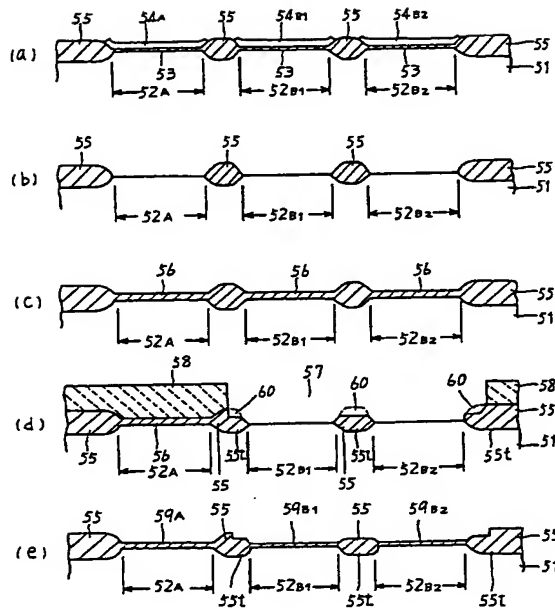
本発明の方法の一実施例の工程断面図
第1図(その1)



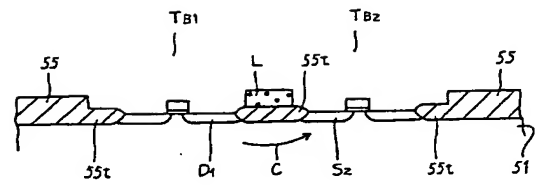
本発明の方法の一実施例の工程断面図
第1図(その2)

本発明の方法の一実施例の変形例の模式断面図
第2図

特開平2-271659 (6)



従来方式の工程断面図
第3図



寄生MOSの模式側断面図
第4図

BEST AVAILABLE COPY